

UNIVERZA V LJUBLJANI
FAKULTETA ZA ELEKTROTEHNIKO

Franci Mihelič

Strojna in programska oprema za naslednjo generacijo brezžičnega oddajnika in sprejemnika

DIPLOMSKO DELO UNIVERZITETNEGA ŠTUDIJA

Mentor: prof. dr. Andrej Žemva

Ljubljana, 2015

Povzetek

Predmet diplomske naloge je seznaniti se z brezžično tehnologijo ter razviti strojno in programsko opremo (ang. firmware) za brezžični sprejemnik-oddajnik, namenjen vgradnji v električni avtomobil, v okviru evropskega razvojnega projekta Pollux tehnološke platforme Artemis. Diplomsko delo je bilo izvedeno v podjetju Infineon Technologies AG v Gradcu (Avstrija), kjer ima omenjeni koncern središče za razvoj senzorjev ter čipov za avtomobilsko industrijo ter razvoj RF ID brezkontaktnih čipov za varnostne aplikacije (uporaba v potnih listih ter plačilnih karticah). Namen omenjenega evropskega projekta je postaviti nove smernice ter standarde z uvedbo novorazvitih tehnologij v električni avtomobil prihodnosti. Glede na strmo naraščanje električnih ter elektronskih sistemov v sodobnih avtomobilih je eden izmed ciljev projekta standardizacija vgradnih komponent, ki so med seboj prepleteni v skupno platformo. Nova težnja je tudi uporaba brezžičnih tehnologij v avtomobilu, saj na ta način omogočimo lažjo povezavo težje dostopnih komponent (senzor tlaka v pnevmatiki, stanje baterije,..), s tem nadomestimo veliko bakrenih žic v avtomobilu.

Vloga podjetja Infineon Technologies AG pri projektu Pollux je razviti brezžični sprejemnik-oddajnik, ki ustreza vsem zahtevam projekta. Razvit je za ISM (industrija, znanost, medicina) frekvenčno področje (300 – 960 MHz), omogoča različne modulacije signala (FSK, ASK, GFSK, MFSK) ter omogoča hitrosti prenosa podatkov do 110 kb/s. Je izredno varčen, saj je po naravi »Wake-up« sprejemnik-oddajnik, kar pomeni, da je večino časa v stanju spanja ter se prebudi le ob pojavu ustreznih ukazov (zahteva po sprejemanju, pošiljanju podatkov, itd..) ter izvede zahtevane naloge. Po opravljenih nalogah se ponovno vrne v stanje spanja in čaka na nov ukaz.

Posebnost Pollux sprejemnik-oddajnika je tudi ta, da spada v družino pametnih sprejemnik-oddajnikov (ang. smart transceiver), to pomeni, da je programabilen ter ima krmilno enoto, ki izvaja strojno kodo (ang. firmware), ki jo lahko naložimo tudi kadarkoli pozneje, ko je sprejemnik-oddajnik že v uporabi.

Pollux sprejemnik-oddajnik predstavlja fizični sloj (ang. Physical layer) v OSI-modelu (ang. Open Systems Interconnection Model) v naši komunikacijski shemi. Ena izmed glavnih nalog Pollux sprejemnik-oddajnika je, da vsebuje številne konfiguracijske nastavitve, potrebne za sprejemanje ter pošiljanje podatkov, ter na ta način olajša sam proces prenosa podatkov. Je vezni člen med glavnim računalnikom ter zunanjim svetom ter prejema ukaze od glavnega računalnika preko SPI vodila.

Ključne besede: brezžični sprejemnik-oddajnik, strojna koda »firmware«, fizična plast, OSI referenčni model, povezovalna plast, ISM frekvenčno področje, SPI vodilo, procesor, medpomnilnik FIFO, krmilna enota, digitalna vezja, simulacija.

Abstract

The goal of this diploma thesis is to develop firmware for the Pollux Wireless Transceiver which is used in an electrical vehicles that was developed as a part of the Pollux research project of the Artemis Technology Platform. The transceiver is designed for the industrial, scientific and medical (ISM) radio band and offers a wide range of potential use with its various configuration possibilities. With its low power consumption and a programmable control unit (Smart Transceiver) it serves as the next step in the development of wireless technology in the automotive industry.

The firmware contains basic configuration settings of the transceiver and represents the first stage in the Open Systems Interconnection (OSI) model in our communication scheme (physical layer). Our firmware operates on the base of interrupt handling, using a mechanism for controlling the interruptions with its unique 16-bit processor .

Key words: Smart & Wake-up transceiver, Firmware, Physical layer, Open Systems Interconnection model, Data Link Layer, ISM band, SPI, processor, FIFO buffer, system controller, digital circuits, simulation.

Zahvala

Največja sreča v življenju je, če si obdan z dobrimi ljudmi.

Zahvaljujem se mentorju prof. dr. Andreju Žemvi, ki me je podpiral pri diplomskem delu v tujem visokotehnološkem podjetju in mi je stal s strokovnimi nasveti vedno ob strani.

Zahvaljujem se tudi mentorju Jakobu Jongsma, mojemu nadrejenemu v podjetju Infineon Technologies AG, ki mi je dal priložnost nabrati izkušnje na zahtevnem, vendar zelo zanimivem projektu.

Svoji družini se želim zahvaliti, da mi je stala vedno ob strani, ko sem jo potreboval.

Svoji puncici Karmen se želim zahvaliti za ljubečo podporo v dobrih in slabih dnevih.

KAZALO:

1	UVOD	1
1.1	Trend v avtomobilski industriji	1
1.2	Artemis Pollux	2
2	POLLUX BREŽIČNI SPREJEMNIK-ODDAJNIK	4
2.1	Fizična plast (ang. Physical layer).....	4
2.2	Karakteristike	5
2.3	»Smart & Wake-up Transceiver«	6
2.4	Zgradba	7
2.5	Power-Management koncept	9
3	Krmilna enota SYSCON	13
3.1	Zgradba	13
3.2	Prekinitveni viri (ang. Interrupt sources).....	15
4	RAZVOJ FIRMWARE	17
4.1	Orodja pri razvoju FW	17
4.1.1	Eclipse	17
4.1.2	QuestaSim.....	18
4.1.3	Xilinx Virtex-6 FPGA razvojna plošča	19
4.2	Razdelitev podatkovnega pomnilnika.....	20
4.3	Firmware potek.....	21
4.3.1	Sprejemanje podatkov (RX)	21
4.3.1.1	RXI (takojšnj sprejemanje)	21
4.3.1.2	RD_RX_BUFFER (branje iz RX medpomnilnika)	24
4.3.2	Pošiljanje podatkov (TX)	25
4.3.2.1	WR_TX_BUFFER (pisanje v TX medpomnilnik).....	25
4.3.2.2	TXI (takojšnje pošiljanje)	26
5	REZULTATI.....	29
5.1	Testiranje Pollux sprejemnik-oddajnika.....	29
5.2	Možnosti nadaljnega razvoja ter zaključek.....	32
6	LITERATURA	33

KAZALO TABEL:

Tabela 1: Karakteristike Pollux sprejemnik-oddajnika	6
Tabela 2: Pregled 3-stopenjski power-management koncept	10
Tabela 3: Prekinitveni viri	16
Tabela 4: Parametri ukaznega niza RXI.....	24
Tabela 5: Parametri ukaznega niza RD_RX_BUFFER	24
Tabela 6: Parametri ukaznega niza WR_TX_BUFFER.....	26
Tabela 7: Parametri ukaznega niza TXI.....	28

KAZALO SLIK:

Slika 1: Električni avtomobil Pollux.....	3
Slika 2: Vmesnik za prenos podatkov	4
Slika 3: Zgradba Pollux sprejemnik-oddajnika.....	7
Slika 4: Blokdiagram Pollux sprejemnik-oddajnik.....	9
Slika 5: 3-stopenjska power-management enota.....	10
Slika 6: Končni avtomat delovnih stanj.....	12
Slika 7: Krmilna enota SYSCON	13
Slika 8: Eclipse IDE	18
Slika 9: Razdelitev podatkovnega pomnilnika Pollux sprejemnik-oddajnika	20
Slika 10: Potek Firmware pri sprejemanju podatkov(RXI ukaz)	22
Slika 11: SPI ukaz RXI	23
Slika 12: SPI ukaz RD_RX_BUFFER	24
Slika 13: SPI ukaz WR_TX_BUFFER	25
Slika 14: Potek Firmware pri pošiljanju podatkov(TXI ukaz)	27
Slika 15: SPI ukaz TXI.....	27
Slika 16: Računalniška simulacija sprejemanja podatkov (RX)	29
Slika 17: Testiranje (v realnosti) v zaščitni kletki	31

1 UVOD

Ta diplomatska naloga je bila narejena v sodelovanju s podjetjem Infineon Technologies AG, oddelkom Automotive Sense & Control v Gradcu. V omenjenem oddelku se razvijajo sprejemno-oddajne komponente, ki so namenjene uporabi v avtomobilski industriji, kot so senzor tlaka v pnevmatiki (TPMS), sprejemnik-oddajnik za daljinsko centralno zaklepanje (RKE), 3-D senzor prepoznavanja slike ter ostali. Moja naloga pri tem je bil razvoj strojne kode (Firmware) za sprejemnik-oddajnik naslednje generacije električnih avtomobilov v okviru evropskega razvojnega projekta Pollux tehnološke platforme Artemis.

1.1 Trend v avtomobilski industriji

»Vizija avtomobilske industrije je orientirana k modernem pomenu transporta z obzirom na visoko stopnjo varnosti ne samo za potnike, temveč tudi za vse udeležence prometa, visoka stopnja udobja, praktične uporabnosti in nizki porabi energije pri nizkem onesnaževanju okolja. Te predpostavke so lahko dosežene le z uporabo inteligentnih elektronskih naprav, ki omogočajo obdelavo kot tudi prenos podatkov o avtomobilu, vozniku, njegovi okolici ter ostalih podatkov. Omenjene zahteve ustvarjajo pritisk na proizvajalce avtomobilov, ki so prisiljeni vedno znova in znova investirati v razvoj ter raziskave [CTD01].«

»V zgodnjih letih avtomobilske elektronike je bila implementirana vsaka nova funkcija kot samostojna elektronska krmilna enota (ang. ECU – electronic control unit), ki je podsistem sestavljen iz mikrokontrolerja ter ostalih senzorjev ali aktuatorjev. Število različnih funkcij ter elektronske opreme raste vedno bolj. Tako je trenutno v nekem luksuznem avtomobilu preko 2500 elektronskih signalov, ki so krmiljeni v približno 70 ECU-jev [AESH02].«

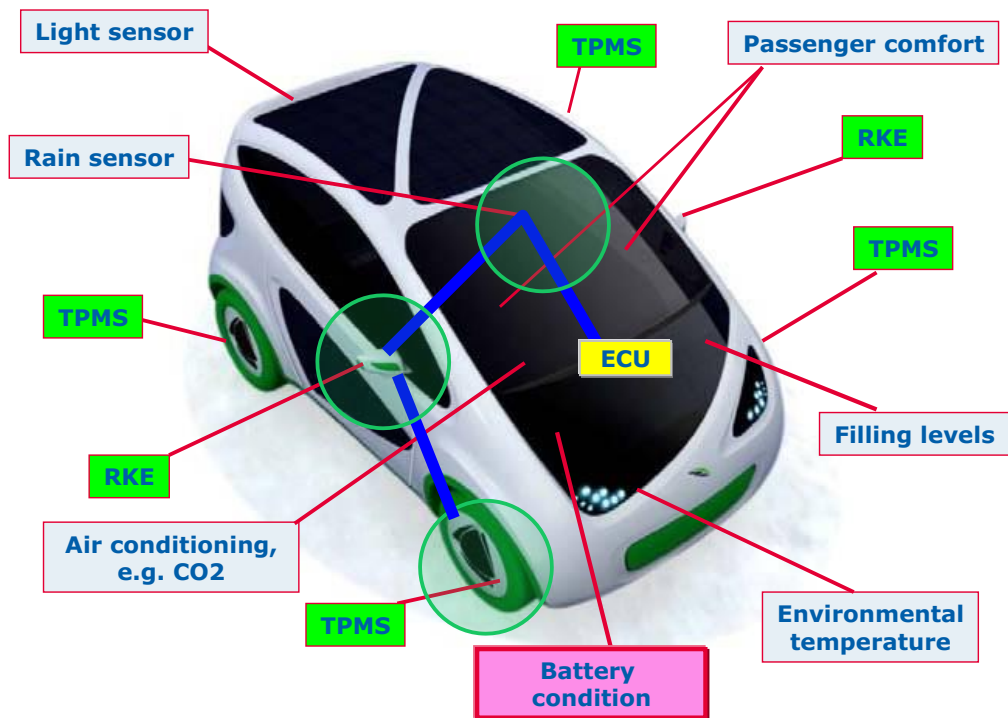
»Proizvajalci avtomobilov se vedno bolj zavedajo pomena elektronike v svojem poslu. Glede na informacije posredovane iz podjetja Daimler-Chrysler je več kot 90 procentov inovacij v avtomobilu iz področja elektronike. Glede na informacije iz podjetja BMW predstavljajo elektronske komponente več kot 30 procentov stroškov proizvodnje avtomobila [ASV03].«

»Ker proizvajalci avtomobilov ter njihovi dobavitelji nenehno tekmujejo s časom pri razvoju novih inovativnih rešitev, je v zadnjem času nastala pobuda različnih podjetij za sodelovanje pri razvojnih projektih. S tem so želeli rešiti problem integracije, namreč da različni elektronski podsistemi različnih dobaviteljev ustrezajo v globalno arhitekturo avtomobila. S tem namenom so bili postavljeni nekateri standardi v avtomobilski industriji kot so AUTOSAR (ang. AUTomotive Open System Architecture), EAST, OSEK/VDK ter ostali, ki definirajo nekatere nove tehnologije k standardni uporabi kot so CAN (ang. Controller Area Networks), Flexray, X-by-wire ter še mnogi drugi.«

1.2 *Artemis Pollux*

»Pollux (ang. Process Oriented Electronic Control Unit for Electrical Vehicles Developed on a multi-system real-time embedded platform) je razvojni projekt evropske tehnološke platforme Artemis. Projekt je sodelovanje 35 visokotehnoloških podjetij, institutov ter univerz kot so Continental, PSA, BUT, IMA, Peugeot Citroen, AVL, TTTech Computertechnik, Greenpower, CISC, NXP, Austriamicrosystems, Infineon Technologies in ostali. Naloga Polluxa je razvoj razdeljene platforme zasnovane iz vgrajenih sistemov v realnem času za novo generacijo električnih vozil. Električno vozilo prihodnosti bo konvergenca med računalniško ter avtomobilsko arhitekturo: avtomobili prihodnosti bodo mehatronski sistemi sestavljeni iz mnogih komponent, ki bodo enostavno vgradljivi in imajo lastnost samostojne inštalacije. Ti sistemi bodo omogočili popolno avtomatizacijo funkcij avtomobila, bodisi funkcij na nižjem nivoju (asistent za vožnjo, ovrednotenje terena, pametna poraba akumulatorja) kot tudi funkcije na višjem nivoju v prihodnosti (avtopilot) [ART10].«

Razvojni projekt je osredotočen na vgrajene sisteme in tehnološke standarde za elektronske sisteme v električnem vozilu.



Slika 1: Električni avtomobil Pollux

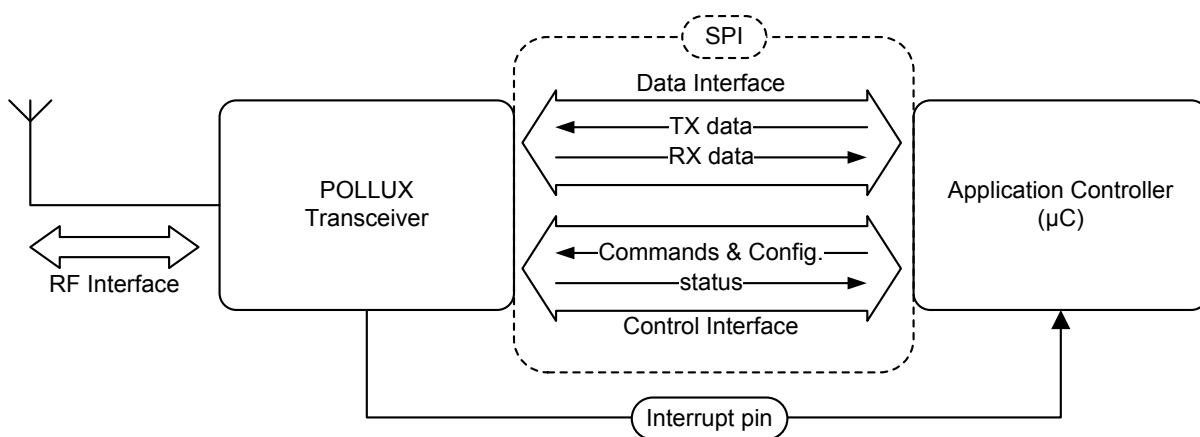
Vloga podjetja Infineon Technologies pri tem projektu je razvoj sprejemnik-oddajnika, ki bo ustrezal vsem zahtevam projekta. Brezžična tehnologija sprejemnik-oddajnika ter nizka poraba energije omogočajo, da lahko postavimo komponente kot so senzori npr. na težje dostopna mesta, kamor jih ne moremo povezati z žico (senzor nadzora tlaka v pnevmatiki, stanje akumulatorja, senzor dežja, daljinsko centralno zaklepanje, V2G tehnologije,...). Drugi vidik projekta je tudi, da želimo zmanjšati velike količine žic v avtomobilu, tako želimo uporabiti brezžično tehnologijo z uporabo sprejemnik-oddajnika in tako zmanjšati težo avtomobila ter privarčevati pri stroških bakrenih žic. Vzpodbujanje brezžičnih tehnologij je tako rekoč nadaljni razvoj X-by-wire tehnologije, kjer se mehanske ter pnevmatske povezave nadomeščajo z električnimi, tako želimo pri tem projektu del električnih povezav preko CAN ter podobnih sistemov nadomestiti z brezžičnimi komunikacijskimi tehnologijami. Zato lahko razvoj Pollux sprejemnik-oddajnika označimo za pomemben korak v smeri avtomobila prihodnosti.

2 POLLUX BREZŽIČNI SPREJEMNIK-ODDAJNIK (ang. WIRELESS TRANSCEIVER)

2.1 Fizična plast (ang. Physical layer)

Pollux sprejemnik-oddajnik je naprava za sprejemanje ter pošiljanje podatkov preko radijskih valov (RF območje). Najpogosteje je tak sprejemnik-oddajnik priključen na glavni (zunanji) računalnik, v našem primeru preko SPI vodila (ang. Serial Peripheral Interface). Glavni računalnik izvaja računalniški program, ki vpliva na različne dogodke v sprejemnik-oddajniku. Računalniški program izvaja naloge kot so:

- konfiguracija sprejemnik-oddajnika (različne nastavitve za sprejemanje ter pošiljanje podatkov)
- priprava (obdelava) podatkov za pošiljanje
- branje podatkov iz sprejemnik-oddajnika



Slika 2: Vmesnik za prenos podatkov

V naši komunikacijski shemi predstavlja sprejemnik-oddajnik v glavnem prvo stopnjo v OSI referenčnem modelu (ang. Open Systems Interconnection Model), to je fizična plast (ang. Physical layer). Posamezne fizične plasti so povezane z glavnim računalnikom (na sliki poimenovan kot Application Controller), kar predstavlja v OSI referenčnem modelu povezovalno plast (MAC). Pomembna vloga Pollux sprejemnik-oddajnika je prikriti kompleksen značaj fizične plasti, saj shranjuje sprejemnik-oddajnik veliko količino nastavitvev posameznih bitov (različne konfiguracijske nastavitve), ki navzven ne smejo biti vidni zaradi boljše pregleda ter uporabe uporabnika. Prav tako omogoča Pollux sprejemnik-oddajnik osnovne funkcije fizičnega plasti (nastavitve kanala,...), poleg tega omogoča tudi nekatere funkcije povezovalne plasti MAC (CRC nadzor, pri sprejemu podatkov se le ti prvo sprejmejo ter shranijo v medpomnilnik FIFO, nato šele jih glavni računalnik prebere iz medpomnilnika).

2.2 Karakteristike

Pollux sprejemnik-oddajnik je razvit za ISM (ang. Industrial, Scientific, Medical) frekvenčni pas, to pomeni, da ga lahko uporabljamo v frekvenčnem pasu, ki je dovoljen ter namenjen za industrijo, znanost in medicino. Z maksimalno hitrostjo prenosa podatkov 110 kb/s in različnimi modulacijami signala (FSK, ASK,..) je možna uporaba različnih signalov. Nizka poraba energije v načinu sprejema ter načinu pošiljanja podatkov uvršča naš sprejemnik-oddajnik med »Low-power Transceiver-je«.

Št.	Karakteristike	Opis	Min	Tip	Max	Enote
1	Temp. področje delovanja		-40		+125	°C
2	Frekvenčni pas delovanja	ISM frekvenčni pas	300		960	MHz
3	Frekvenčna resolucija	Programabilno		100		Hz
4	Modulacija	Programabilno		FSK ASK GFSK MFSK		
5	Občutljivost pri sprejemu	@500bps @BW=10kHz @250kbps @BW=550kHz		-123 -100		dBm
6	Moč pošiljanja	Programmierbar	0		14	dBm
7	Poraba energije	Rx Tx @+10dBm		15 18		mA

Tabela 1: Karakteristike Pollux sprejemnik-oddajnika

2.3 »Smart & Wake-up Transceiver«

Pollux sprejemnik-oddajnik pripada družini pametnih sprejemnik-oddajnikov (ang. Smart Transceiver). To pomeni, da je programabilen (ima vgrajen svoj procesor) ter je zaradi pametnih funkcij uporaben v različnih sistemih in na različnih področjih. Opravlja lahko preprosta opravila (osnovne nastavitve,...), zmožen je tudi izvajanja zahtevnejših opravil kot so AES (kodiranje-dekodiranje), CRC (odkrivanje napak) in različne aplikacije v realnem času. Strojna koda Firmware je lahko tudi pozneje spremenjena oz. shranjena v sprejemnik-oddajnik, zato je možno sam način uporabe sprejemnik-oddajnika pozneje spreminjati.

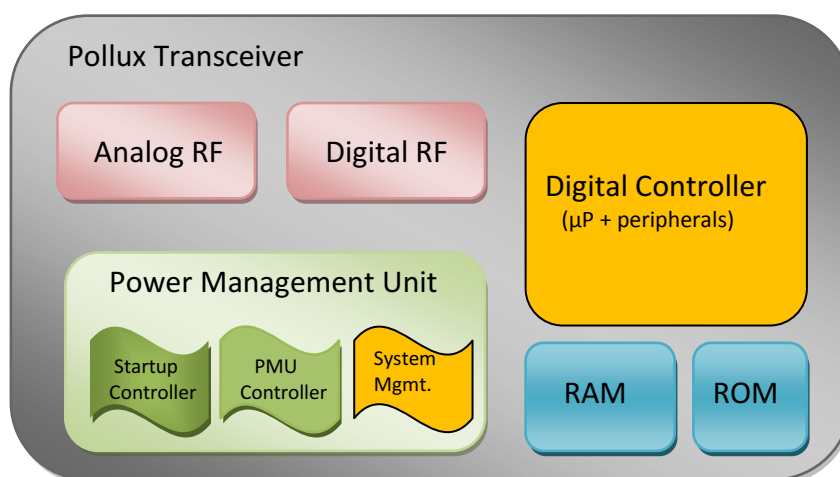
Pollux sprejemnik-oddajnik spada tudi v družino »Wake-up Transceiver-jev«. To pomeni, da je večino časa v obratovalnem stanju spanje (ang. SLEEP) in v tem stanju čaka na nove ukaze ter jih nato izvede. Na ta način nam je čip sprejemnik-oddajnika vedno na razpolago, pri čemer porabi zelo malo energije. V primeru, da se pojavi nov ukaz oz. dogodek, se sprejemnik-oddajnik prebudi ter deluje v obratovalnem stanju Normal, dokler svoje naloge ne izvrši do konca. Nato se čip preklopi ponovno v stanje spanje (ang. Sleep), v katerem varčuje z energijo ter čaka na nova opravila. »Wake-up Transceiver« se najpogosteje

uporablja tam, kjer ni možnosti neprestanega napajanja, običajno ima vgrajeno baterijo kot vir napajanja, ta običajno zadostuje za daljšo časovno obdobje (več let).

2.4 Zgradba

Pollux sprejemnik-oddajnika je sestavljena iz različnih komponent, prikazanih na sliki 3:

- digitalna krmilna enota: processor +periferne enote = SYSCON
- enota za upravljanje napajanja ter stanj: Power Management Unit
- analogne ter digitalne RF komponente
- ROM za shranjevanje strojne kode Firmware
- RAM za potrebe izvajanja Firmware ter shranjevanja podatkov



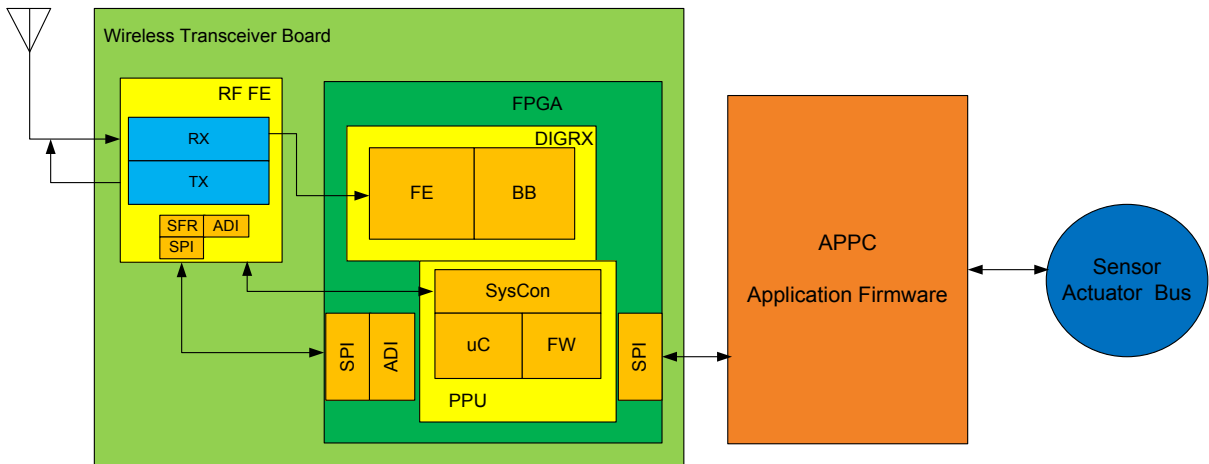
Slika 3: Zgradba Pollux sprejemnik-oddajnika

Kot je razvidno iz slike 3, ki ponazarja zgradbo sprejemnik-oddajnika Pollux, je le-ta sestavljen iz analognega prednjega dela (analog Frontend), digitalnega sprejemnika (DIGRX), pomnilnika RAM za shranjevanje podatkov in potrebe procesorja, pomnilnika Pseudo-ROM za shranjevanje strojne kode Firmware, iz enote za upravljanje napajanja ter stanj Power

Management Unit ter iz digitalne krmilne enote, ki sestoji iz mikroprocesorja ter perifernih enot.

Pri našem delu v fazi razvoja smo analogni del sprejemnik-oddajnika uporabili v obliki testnega čipa Pollux TC (to je bil fizično izdelan čip), pri čemer smo za razvoj digitalnega dela Pollux sprejemnik-oddajnika uporabili FPGA razvojno okolje (ang. Field Programmable Gate Array). Testni čip Pollux TC smo povezali z našo FPGA razvojno ploščo, kot je razvidno na sliki 4. Uporabili smo razvojno okolje Xilinx Virtex-6 FPGA, na katerem smo razvita digitalna vezja sintetizirali, shranili ter simulirali. Kot je razvidno na sliki 4, smo v FPGA vezje implementirali digitalni sprejemnik DIGRX ter krmilno enoto Syscon z vsemi perifernimi enotami.

Testni čip Pollux TC je povezan z zunanjo anteno in je vstopna točka, kjer signal preko antene pri sprejemanju vstopi in je nato posredovan v smeri digitalnega sprejemnika DIGRX. V primeru pošiljanja pa je Pollux TC zadnja enota sprejemnik-oddajnika, kjer RF signal preko antene zapusti napravo. Digitalni sprejemnik DIGRX je sestavljen iz digitalnega Frontend-a ter digitalnega Basisband-a. Syscon kot srce sprejemnik-oddajnika je sestavljen iz mikroprocesorja, ki ga je razvilo podjetje Infineon Technologies za uporabo le v lastnih produktih, ter je sestavljen še iz mnogo perifernih enot, ki dopolnjujejo procesor, da imajo skupaj sposobnost opraviti vse zadane naloge.

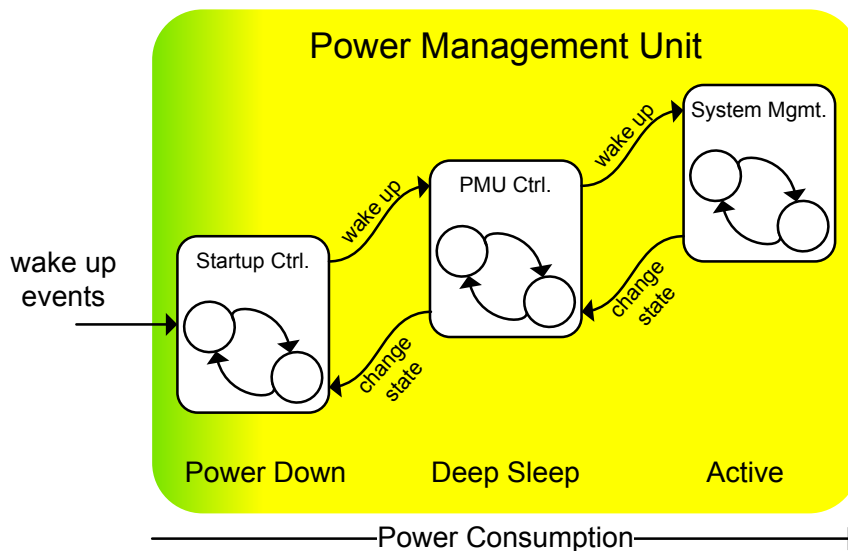


Slika 4: Blokdiagram Pollux sprejemnik-oddajnik

Analogni Frontend sestoji iz nizkošumnega ojačevalnika (LNA), uporabljenega za ojačanje vhodnega signala. Ustvarjeni šum pri uporabi ojačevalnika LNA ne sme biti previsok, da je signal še vedno uporaben po naslednjih ojačevalnih stopnjah in ne pride do prevelikega popačenja signala. Pomembna lastnost je tudi linearnost, saj bi bile z drugimi nelinearnimi komponentami ustvarjene nove frekvenčne komponente, ki bi spremenile naš vhodni signal. Nizkošumnemu ojačevalniku (LNA) sledi zrcalnofrekvenčni zatiralni mešalnik za eliminacijo stranskih komponent ustvarjenih pri prenosu signala v medfrekvence (IF). Temu sledi avtomatski ojačevalnik napetosti (AGC) za dvig signala pred komponento ADC. Uporabljen je Sigma-Delta analogno-digitalni konverter (ADC) ter Sigma-Delta fazno sklenjena zanka (PLL) za optimalno obdelavo signala.

2.5 Power-Management koncept

Pri integriranih vezjih brez možnosti priključitve na stalni vir napajanja uporabimo običajno za vir napajanja baterijo. Pri tem je pogoj nizka poraba energije, to lahko zagotovimo z večstopenjskim konceptom za upravljanje napajanja ter stanj (Power-management koncept). S tem omogočimo tudi daljšo življenjsko dobo baterije.



Slika 5: 3-stopenjska power-management enota

Naš koncept sestoji iz 3-stopenjske Power-management enote, ki je sestavljena iz treh medseboj povezanih končnih avtomatov stanj (slika 5). Vsak izmed teh končnih avtomatov upravlja določene analogne ter digitalne komponente za doseganje ustreznega stanja sprejemnik-oddajnika v določenih pogojih.

Stopnja	Krmilna enota	Področje	Obratovalno stanje
1	Startup controller	analogno	Power Down (izključeno)
2	PMU Controller	digitalno (PMU)	Deep Sleep (globoko spanje)
3	System Management Unit	digitalno (Syscon)	Active (aktivno)

Tabela 2: Pregled 3-stopenjski power-management koncept

V stanju Power Down sta samo dve analogni enoti aktivni, enota za prepoznavanje napajalne napetosti baterije Vbat ter enota Sturtup Controller, ki tudi sama vsebuje detektor za prepoznavanje Wake-up dogodkov. Ob prvi vstavitvi baterije ali ob pojavi novega ukaza

glavnega računalnika aktivira enota Startup Controller enoto PMU Controller, ta prebudi sprejemnik-oddajnik iz stanja Power Down in ga preklopi v stanje Deep Sleep.

Koncept upravljanja stanj omogoča 4 različna stanja Deep Sleep, bodisi je pomnilnik RAM (ang. Random-access memory) vključen ali ne, zavisi od uporabe sprejemnik-oddajnika. Če je sprejemnik-oddajnik v Deep Sleep stanju, prihrani veliko energije, kljub temu je pripravljen na hitro delovanje ob potrebi. Tako ponuja to stanje funkcijo Self-polling, ki omogoča ciklično preverjanje prisotnosti podatkov za sprejem. Funkcijo Self-polling omogoča enota Scheduler, ki poskrbi za ciklično izvajanje programa v vnaprej programiranih časovnih intervalih.

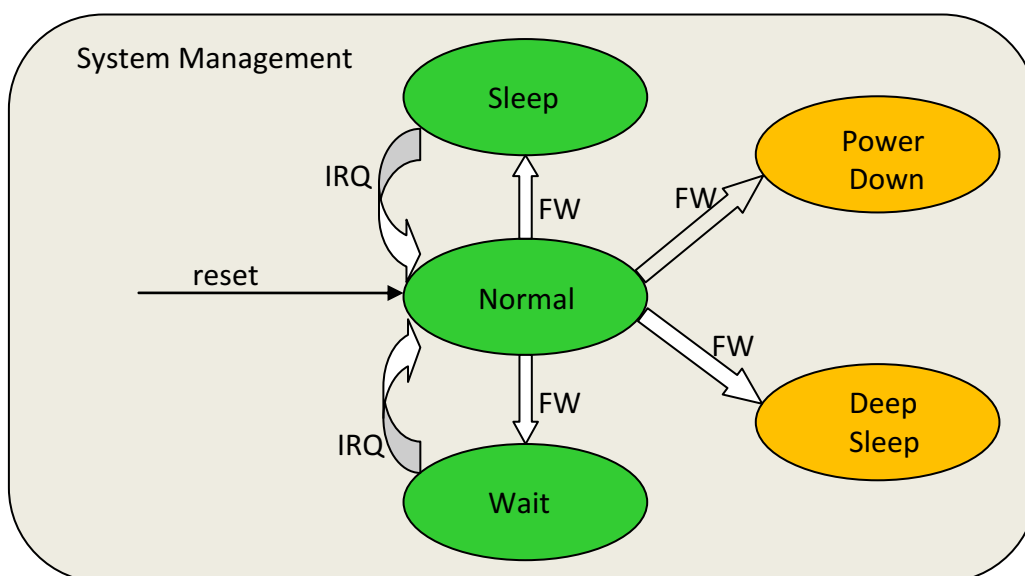
Stanje Deep Sleep vključi končni avtomat System Management Controller. To stanje se lahko prebudi s tremi dogodki:

- ob pojavu novega ukaza glavnega računalnika
- ob wake-up dogodkih (programabilne prekinitve)
- Self-polling funkcija.

V primeru, ko je sprejemnik-oddajnik prebujen, je enota System Management Unit aktivna in v tem primeru govorimo o delovnem stanju Active (aktivno). V tem stanju izvaja zadane naloge procesor, kot je programirano v strojni kodi Firmware. V obratovalnem stanju Active sprejemnik-oddajnika deluje procesor v treh različnih načinih oz. stanjih, to so Sleep (spanje), Wait (čakanje) ter Normal (normalno).

V načinu Normal so vse enote sprejemnik-oddajnika aktivne, omogočena je uporaba načinov delovanja procesorja Wait ter Sleep za izvajanje prekinitvenih rutin. Stanje procesorja Wait se uporablja za deaktivacijo procesorja ter s tem zaustavitev izvajanja strojne kode Firmware. Pri tem se delovanje le zaustavi in procesor čaka na ustrezno prekinitvev. Ko se pojavi prekinitvev, nadaljuje procesor svoje delo z mesta, kjer se je prej zaustavil, pri tem programski števec nadaljuje z delovanjem ne da bi se resetiral.

V načinu Sleep je procesor deaktiviran in trenutno izvajanje funkcije se pri tem izgubi (programski števec se resetira). Pri pojavu ustrezne prekinitve začne delovati procesor naprej z vnaprej določeno prekinitveno rutino.



Slika 6: Končni avtomat delovnih stanj

V fazi razvoja smo uporabljali ter vgradili le dva obratovalna načina, to sta Power Down ter Active (Normal, Wait ter Sleep). Ta dva načina sta zadostovala za razvoj vseh komponent sprejemnik-oddajnika ter strojne kode Firmware. Ostalih obratovalnih stanj nismo vgradili, saj je bil tak dogovor v okviru evropskega razvojnega projekta Pollux. Pri razvoju strojne kode Firmware sem v glavnem uporabljal obratovalno stanje Active, to pomeni način delovanja procesorja Normal, Wait ter Sleep. Ostala stanja se lahko na željo oz. potrebo vgradijo naknadno.

Krmilni del sprejemnik-oddajnika Pollux se imenuje Syscon in vsebuje posamezne digitalne komponente. Krmilna enota skrbi za izvedbo strojne kode firmware. Kot je razvidno na sliki 7 je sestavljajo krmilno enoto Syscon :

- **Pollux procesor** : srce krmilne enote Syscon je 16-bitni Pollux procesor, zgrajen v Harvard arhitekturi z RISC naborom ukazov. Pozna le enostaven C/C++ programski jezik z omejenim naborom funkcij. Nima perifernih enot, zato mu je bilo dodano zajetno število digitalnih modulov, ki omogočajo izvajanje zahtevanih prekinitvenih rutin. Delovanje procesorja, prav tako cele krmilne enote je vezano na prekinitve, zato procesorju upravljanje s prekinitvami omogočajo dodani moduli.
- **DIVT (dinamična vektorska prekinitvena tabela)** : DIVT modul v sodelovanju z nadzornikom prekinitev (IrqCtrl modul) omogoči procesorju delo s prekinitvami. Naloga DIVT modula je dodelitev začetnega naslova prekinitvene rutine.
- **IrqCtrl (nadzornik prekinitev)** : nadzornik prekinitev upravlja vse prekinitve, bodisi primitivne kot tudi pseudo in tudi wait prekinitve. Primitivne prekinitve so prekinitve z največjo prioriteto, sledijo pseudo prekinitve ter wait prekinitve. Nadzornik prekinitev skrbi za vrstni red izvajanja prekinitvenih rutin glede na prioriteto posamezne prekinitve ter določa vrstni red ob pojavu več prekinitev hkrati.
- **Prescaler Modul (delilnik frekvence)** : skrbi za delitev frekvence vodila časovnika Timer 1, Timer 2, Timer 3 ter Timer 4.
- **Timer Modul (časovnik)** : sistem vsebuje 4 časovnike (Timer 1, Timer 2, Timer 3, Timer 4), ki so pogosto uporabljeni v časovno odvisnih opravilih, definiranih v firmware.
- **Syscon Mgmt Modul** : skrbi za upravljanje delovnih stanj procesorja (Sleep, Wait, Normal).
- **AES (opcija)** : omogoča šifriranje ter dešifriranje podatkov.
- **FIFO kontroler** : upravlja rezerviran pomnilni prostor v pomnilniku RAM za delovanje FIFO strukture. Sistem vsebuje 2 FIFO medpomnilnika, enega za sprejem podatkov, drugega za podatke v pošiljanju. Velikost FIFO strukture je konfigurirana v firmware.

- **DMA** : dinamični dostop do pomnilnika omogoča dostopanje ter kopiranje podatkov na ukaz procesorja iz enega na drugi naslov.
- **Field Capture modul** : lahko loči niz podatkov v krajše po želji dolge nize podatkov (npr. v Byte).
- **CRC modul** : omogoči izračun varnostne vrednosti CRC, ki jo uporabljamo za preprečevanje ter odkrivanje napak pri prenosu podatkov.
- **BitCnt modul** : je v osnovi števec prejetih ali poslanih bitov in omogoča tudi zaporedni v vzporedni zapis prejetih podatkov in obratno.
- **RXTXsync modul** : skrbi za sinhronizacijo krmilne enote Syscon ter digitalnim frontend modulom za pravilno prejetje in pošiljanje podatkov.
- **SPI** : je vmesnik za prenos podatkov in ukazov med sprejemnik-oddajnikom ter zunanjim glavnim računalnikom.
- **X-Bus** : enota, ki upravlja dostop do SFR vodila ter dostop do pomnilnika.

3.2 *Prekinitveni viri (ang. Interrupt sources)*

Pollux sprejemnik-oddajnik ima na voljo 32 prekinitvenih virov, med katerimi smo za naše potrebe uporabili večino, vseh pa ne. Prekinitveni vir nastavimo v nadzorniku prekinitvev IrqCtrl modul, kjer nastavimo tudi druge nastavitve za uspešno izvedeno prekinitveno rutino.

Unterbrechungsmakro	Irq-Index	Beschreibung
<code>#define ISRC_FWTRA</code>	31	// Firmware past (to prekinitvev sproži FW)
<code>#define ISRC_FE_CMD_TX</code>	30	// FE TX ukaz izveden
<code>#define ISRC_FE_TODO_6</code>	29	// še nedefiniran
<code>#define ISRC_FE_SYNC_WU</code>	28	// ISRC_SYNC_WU
<code>#define ISRC_FE_SSTO</code>	27	// ISRC_SSTO
<code>#define ISRC_FSYNC</code>	26	// ISRC_FSYNC (sinhronizacija podatkovnega niza)
<code>#define ISRC_EOM</code>	25	// ISRC_EOM (konec sporočila)

#define	ISRC_FE_TODO_1	24	// ISRC_CV (napaka pri prenosu)
#define	ISRC_FE_TODO_0	23	// ISRC_PAYLOAD (podatkovni prenos)
#define	ISRC_AES	22	// AES – opcionalno
#define	ISRC_FIELDCAPT	21	// Field-Capture prekinitev
#define	ISRC_BCNT_BYTE	20	// Bitcounter Byte prekinitev
#define	ISRC_BCNT_END	19	// Bitcounter Ende prekinitev
#define	ISRC_FIFO1_EMPTY	18	// FIFO1 prazen
#define	ISRC_FIFO1_AEMPTY	17	// FIFO1 skoraj prazen
#define	ISRC_FIFO1_AFULL	16	// FIFO1 skoraj poln
#define	ISRC_FIFO1_FULL	15	// FIFO1 poln
#define	ISRC_FIFO0_EMPTY	14	// FIFO0 prazen
#define	ISRC_FIFO0_AEMPTY	13	// FIFO0 skoraj prazen
#define	ISRC_FIFO0_AFULL	12	// FIFO0 skoraj poln
#define	ISRC_FIFO0_FULL	11	// FIFO0 poln
#define	ISRC_TIMER3	10	// Timer3 prekinitev
#define	ISRC_TIMER2	9	// Timer2 prekinitev
#define	ISRC_TIMER1	8	// Timer1 prekinitev
#define	ISRC_TIMER0	7	// Timer0 prekinitev
#define	ISRC_DMA1	6	// DMA1 prekinitev
#define	ISRC_DMA0	5	// DMA0 prekinitev
#define	ISRC_SPI_ACK	4	// SPI ACK (prekinitev po SPI ACK)
#define	ISRC_SPI_CMD	3	// SPI COMMAND (prekinitev po SPI ukazu)
#define	ISRC_SPI	2	// SPI prekinitev (ACK,COMMAND)
#define	ISRC_SPICS	1	// SPI Chip select prekinitev

Tabela 3: Prekinitveni viri

4 RAZVOJ FIRMWARE

4.1 Orodja pri razvoju FW

»Izraz firmware pomeni software, ki je vgrajen v elektronske naprave. Najpogosteje je shranjen bodisi v pomnilniku Flash, EPROM-u, EEPROM-u ali ROM ter ga najpogosteje uporabnik ne more zamenjati, če pa že to lahko stori s posebnimi pripomočki oz. funkcijami. Pojem firmware se veza na to, da je trdno povezan z hardware-om, kar pomeni, da eden brez drugega ne moreta funkcionirati. Je vmesna stopnja med hardware-om (torej fizični gradniki vezja) ter uporabnim programom software (torej zamenljivim programom neke naprave) [WIK12].«

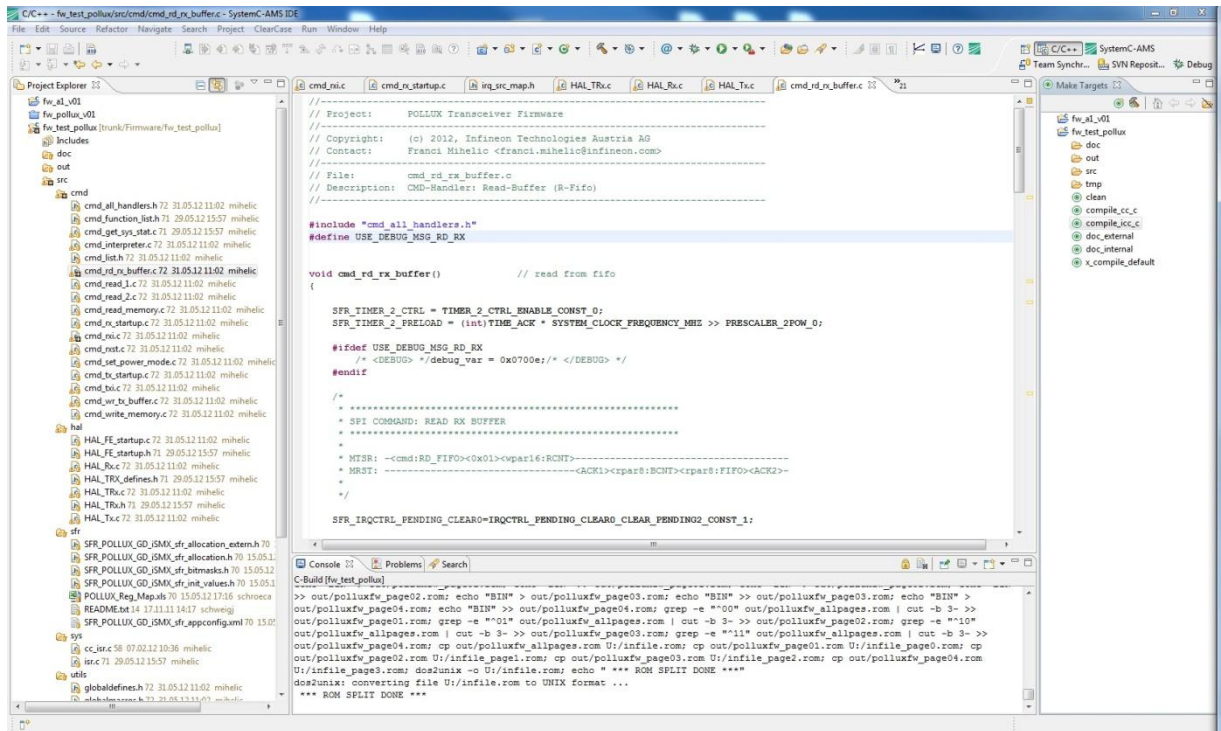
Pri sorazvoju digitalnega dela krmilne naprave Syscon, še posebej pri razvoju Pollux firmware, sem uporabljal različna orodja oz. pripomočke, nekatera izmed njih želim поблиže predstaviti, saj so pomembna orodja pri razvoju integriranih vezij.

4.1.1 Eclipse

Pollux firmware je bil razvit v razvojnem okolju (IDE) Eclipse. Gre za odprtokodno programsko orodje, ki služi za razvoj različnih programov. Prvotno je bil program Eclipse razvit v podjetju IBM ter tudi kasneje dan v prosto uporabo. Danes je program prosto dostopen, pri čemer so nekateri vtičniki (ang. Plug-ins) komercialno dosegljivi.

Za razvoj Pollux firmware smo morali razvojno okolje Eclipse prilagoditi ter mu dodati nekaj vtičnikov. Tako je bil razvit v podjetju Infineon Technologies poseben prevajalnik (ang. compiler) ter povezovalnik (ang. linker) ter nastavitve za Make-datoteko smo morali na novo ustrezno našemu projektu programirati. Prav tako ima razvojno okolje C/C++ ter System C razširitev. Pri prevajanju firmware v Eclipse razvojnem okolju se ustvari datoteka infile.rom, ki je pravzaprav naša zapakirana firmware-datoteka. To datoteko dejansko shranimo v

pomnilnik sprejemnik-oddajnika, kasneje procesor to datoteko uporablja oz. izvaja firmware kodo v njej.



Slika 8: Eclipse IDE

4.1.2 QuestaSim

Za verifikacijo digitalnih vezij je bilo uporabljeno simulacijsko orodje QuestaSim podjetja Mentor Graphics. Že v fazi razvoja krmilne enote Syscon sem z manjšimi testnimi programi testiral s pomočjo orodja QuestaSim posamezne digitalne komponente ter tudi korak za korakom naraščajočo firmware-funkcije.

V simulacijsko orodje QuestaSim so bila integrirana digitalna vezja kot je digitalni sprejemnik DIGRX, krmilna enota Syscon s Pollux procesorjem (vsi razviti v programskem jeziku VHDL93) ter tudi firmware v infile.rom datoteki. Pri tem sem uporabil testbench za simuliranje

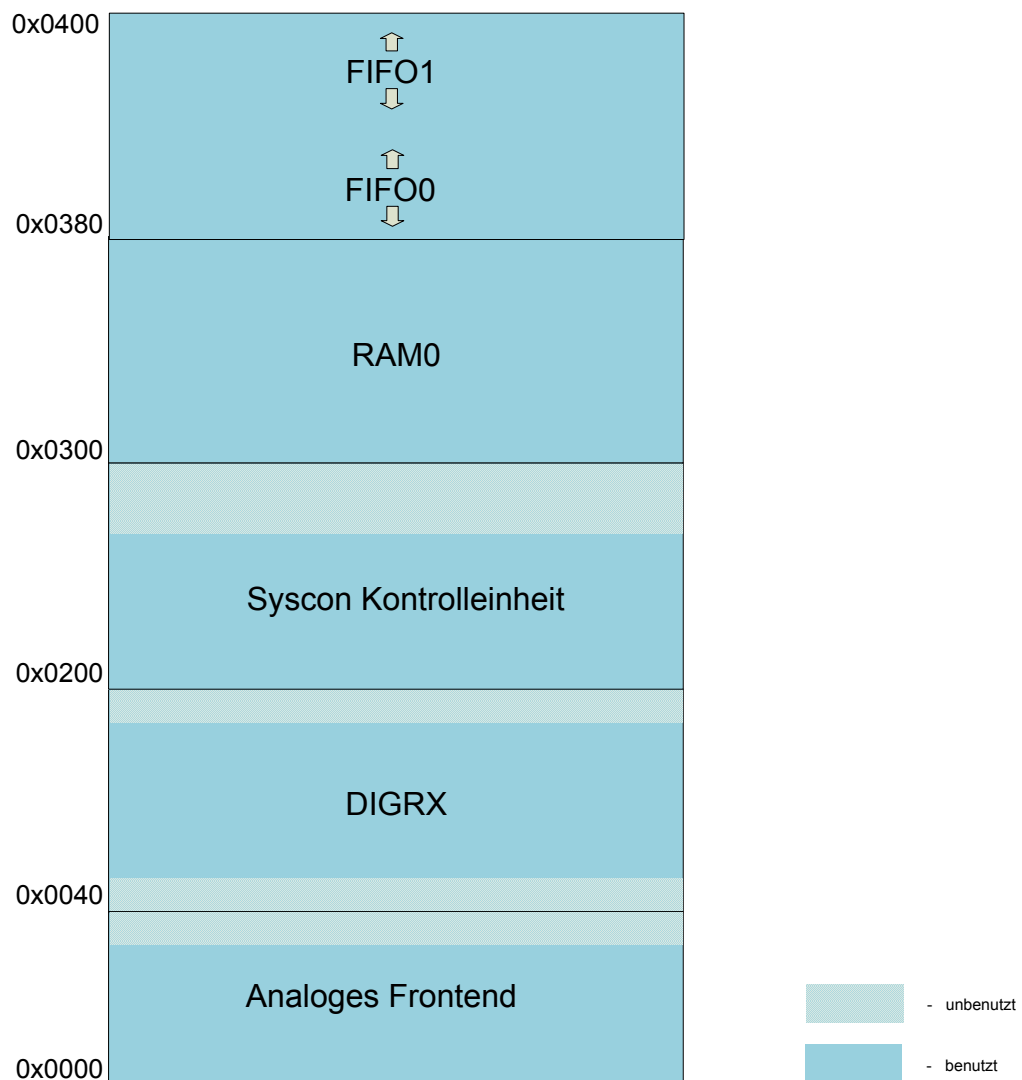
različnih pogojev ter napajanja. S pomočjo računalniške simulacije sem lahko odkril morebitne napake, jih popravil, opazoval vse signale ter jih verificiral.

4.1.3 Xilinx Virtex-6 FPGA razvojna plošča

Po dokončanem razvoju ter izvedeni računalniški simulaciji sledi naslednji korak s sintezo razvitih digitalnih vezih. Uporabili smo Xilinx Virtex-6 FPGA razvojno ploščo za simuliranje Pollux sprejemnik-oddajnika v realnem svetu. V Virtex-6 FPGA vezje so bila sintetizirana ter shranjena digitalna vezja. Na razvojno ploščo Virtex-6 smo priključili testni čip Pollux TC z S pripadajočo anteno, prav tako je bil naložen firmware v pomnilnik razvojne plošče Virtex-6. Na ta način nam je razvojna plošča Virtex-6 FPGA omogočila testiranje naše razvite naprave, predno bi dejansko šel Pollux sprejemnik-oddajnik v serijsko proizvodnjo, v kolikor bi se podjetje oz. naročnik zato dejansko odločil.

4.2 Razdelitev podatkovnega pomnilnika

Pollux sprejemnik-oddajnik ima 16-bitno naslovno vodilo, pri čemer je podatkovni pomnilnik tudi razdeljen v 16-bitne vrstice. Razdelitev podatkovnega pomnilnika je prikazano na sliki 9.



Slika 9: Razdelitev podatkovnega pomnilnika Pollux sprejemnik-oddajnika

Velikost medpomnilnika FIFO lahko konfiguriramo z 16, 32, 64 ali 128 Byte-i, pri čemer sem za naš projekt konfiguriral 64 Byte velika medpomnilnika FIFO0 ter FIFO1. Pomnilnik RAM0 služi za shranjevanje spremenljivk ter podatkov, ki jih uporablja procesor oz. firmware.

4.3 Firmware potek

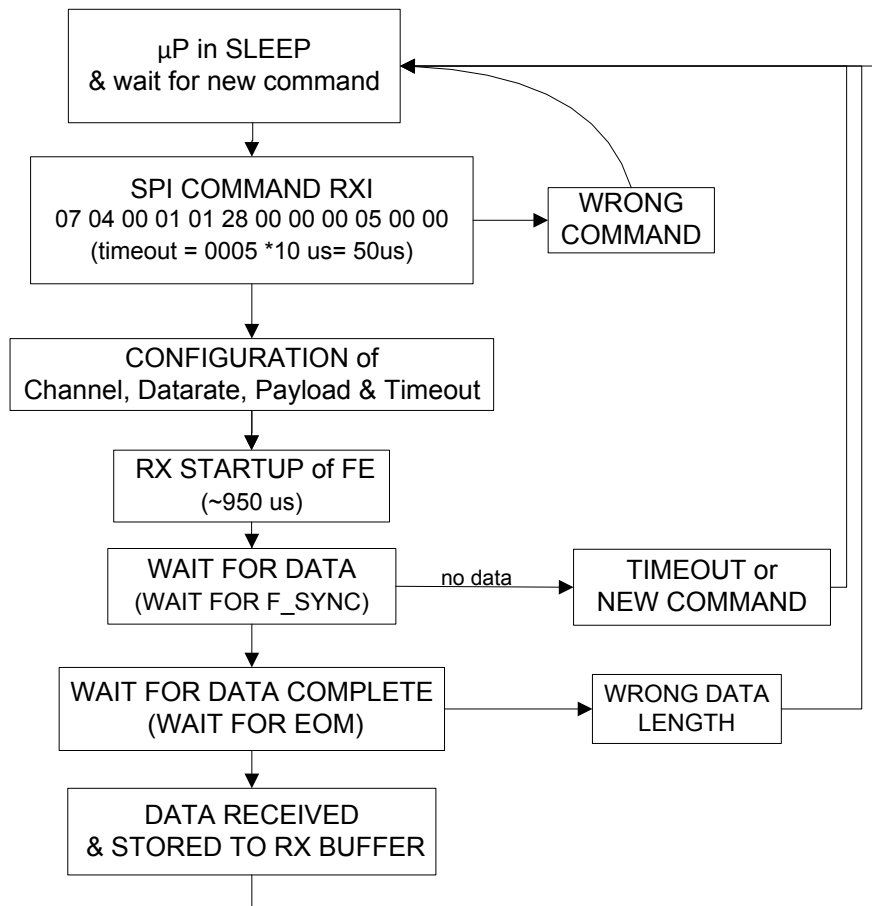
Firmware Pollux sprejemnik-oddajnika je v osnovi zasnovana tako, da se pri prvem vklopu sprejemnik-oddajnika prvo konfigurira FIFO struktura ter prekinitve, nato preklopi firmware stanje procesorja v SLEEP (spanje). V tem načinu delovanja (stanju) čaka procesor oz. firmware na nov ukaz, kakršnikoli ukazi so pač vsebovani oz. programirani v firmware. Pri svojem delu pri razvoju firmware sem uporabil in razvil različne ukaze ter funkcije in jih uporabil tudi za pomoč pri razvoju digitalnega vezja krmilne enote Syscon. Ker je Pollux firmware zelo obsežna, bom v nadaljevanju opisal le dve glavni nalogi vsakega sprejemnik-oddajnika, torej sprejem ter pošiljanje podatkov.

4.3.1 Sprejemanje podatkov (RX)

Potek sprejemanja podatkov je razdeljen v dva segmenta oziroma ukaza. Prvi del sprejemanja (ukaz RXI) izvaja sprejemanje podatkov preko antene, analognega Frotnend-a, preko digitalnega sprejemnika DIGRX, nato se podatki shranijo preko krmilne enote Syscon v medpomnilnik FIFO1. Drugi del sprejemanja podatkov (ukaz RD_RX_BUFFER) izvaja prenos podatkov iz medpomnilnika FIFO1 h glavnemu računalniku (poimenovanem v našem projektu Application Controller) preko vodila SPI.

4.3.1.1 *RXI (takojšnj sprejemanje)*

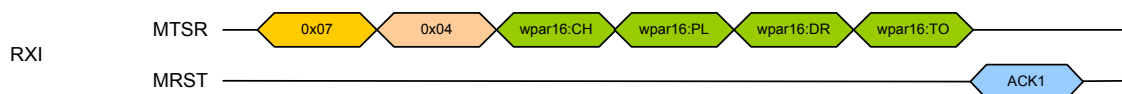
Pri pojavu novega ukaza se procesor prebudi iz stanja SLEEP (spanje) ter spremeni način delovanja v AKTIV. Nato firmware verificira ukazno vrstico oziroma dela na tem, da pravilno ugotovi vrsto ukaza ter vse parametre vsebovane v ukaznem nizu, saj ukazne vrstice oz. ukazni nizi vsebujejo različne informacije, potrebne za prenos podatkov. Na sliki 10 je prikazan potek firmware pri ukazu RXI.



Slika 10: Potek Firmware pri sprejemanju podatkov(RXI ukaz)

Kot je razvidno na sliki 11 ter v tabeli 4 vsebuje ukazni niz RXI parametre z informacijo o prenosnem kanalu (ang. channel), dolžini podatkov za sprejem (ang. payload), hitrost prenosa podatkov (ang. data rate) ter časovni zakasnitvi (ang. timeout), ki je dovoljena pri čakanju na sprejemanje podatkov. Te informacije služijo za konfiguracijske nastavitve, s katerimi firmware ustrezno nastavi sprejemnik-oddajnik za sprejemanje podatkov. Sledi zagon analognega Frontend-a, nato spremeni procesor stanje v Sleep (spanje), v katerem čaka na prihod pravih podatkov. Začetek prihoda pravih podatkov nakaže prekinitvev F_SYNC. V primeru, da se vmes pojavi nov ukaz, se le-ta izvrši, v primeru, da je presežena dovoljena časovna zakasnitev, se firmware vrne v izhodiščni položaj ter čaka na nov ukaz. V primeru prihoda pravih podatkov, nakazanih z F_SYNC prekinitvijo, se začne sprejemanje podatkov. Sprejemanje traja tako dolgo, dokler prekinitvev EOM (ang. end of message) ne

naznani, da smo prejeli vse podatke. V primeru, da se prekinitev EOM ustrezno ne pojavi, pomeni to neveljavno sprejemanje podatkov (napaka) in prenos se zaključi.



Slika 11: SPI ukaz RXI

Pollux sprejemnik-oddajnik vsebuje različne konfiguracijske možnosti, ki so navedene v tabeli 4. V fazi razvoja smo uporabili ne nekaj izmed možnosti konfiguracije, pri čemer velja opozoriti, da se te konfiguracijske nastavitve programirajo glede na uporabo ter željo kupcev, možno jih je tudi naknadno spremeniti.

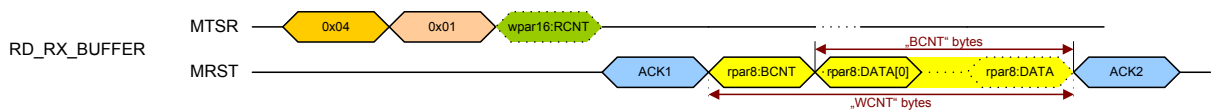
SPI ukaz	RXI (slika 11) – takojšnje sprejemanje
Koda ukaza	0x07
Pisalni parameter	<p>wpar16:CH + wpar16:PL + wpar16:DR + wpar16:TO</p> <ul style="list-style-type: none"> - wpar16:CH; izbira kanala; CH0 = 0x0000 (433.92 MHz); (trenutno le ta izbira možna) -wpar16:PL; velikost podatkov; (bit-vrednost, maks. velikost= 128 B) območje: 0x0001 0x0400; - wpar16:DR; hitrost prenosa podatkov; DR = 0x0000 (100 kbps); (trenutno le ta izbira možna) - wpar16:TO; dovoljena časovna zakasnitev ; območje: 0x0001 ... 0xffff; (e.g. 1 tik ≈ 10 us)
Bralni parameter	-
Opis	<p>Sprejemanje podatkov ter shranjevanje v RX medpomnilniku s parametri prenosa:</p> <p>Kanal: definiran s parametrom wpar16:CH</p> <p>Velikost podatkov: definirana s parametrom wpar16:PL</p>

	Hitrost prenosa: definirana s parametrom wpar16:DR
	Dovoljena časovna zakasnitev : definirana s parametrom wpar16:TO

Tabela 4: Parametri ukaznega niza RXI

4.3.1.2 RD_RX_BUFFER (branje iz RX medpomnilnika)

Drugi del sprejemanja podatkov skrbi za prenos podatkov med medpomnilnikom FIFO1 ter glavnim računalnikom preko vodila SPI (slika 12).



Slika 12: SPI ukaz RD_RX_BUFFER

Parametri ukaznega niza RD_RX_BUFFER so opisani v tabeli 5. Podatki se prenašajo bajt za bajtom, prvi bralni parameter BNCT pove glavnemu računalniku vnaprej, koliko podatkovnih bajtov mu sledi.

SPI ukaz	RD_RX_BUFFER (slika 12) – branje iz medpomnilnika RX
Koda ukaza	0x04
Pisalni parameter	-wpar16:RCNT; število bralnih parametrov; Število bajtov, ki jih moramo prebrati iz medpomnilnika; območje: 1 ... 128
Bralni parameter	-rpar8:BNCT; število podatkov (v bajtih) v medpomnilniku; območje: 0 ... 128 -rpar8:DATA; brani podatki iz medpomnilnika
Opis	Branje prejetih podatkov iz RX medpomnilnika (bajt za bajtom). Prvi prebrani bajt je število podatkovnih bajtov, ki so shranjeni v medpomnilniku. Bajti, ki sledijo, so podatkovni bajti.

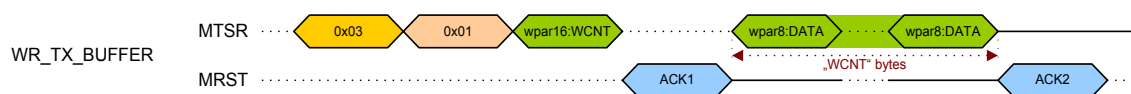
Tabela 5: Parametri ukaznega niza RD_RX_BUFFER

4.3.2 Pošiljanje podatkov (TX)

Tako kot sprejemanje je tudi pošiljanje podatkov razdeljeno v dva dela. S prvim ukazom (ukaz WR_TX_BUFFER) se podatki prenesejo iz glavnega računalnika (imenovan Application Controller) preko vodila SPI v medpomnilnik FIFO0. V drugem delu pošiljanja podatkov (ukaz TXI) se podatki shranjeni v medpomnilniku FIFO0 pošljejo preko digitalnega oddajnika, analognega Frontend-a preko antene.

4.3.2.1 WR_TX_BUFFER (pisanje v TX medpomnilnik)

Vrstni red pri sprejemanju podatkov je obraten kot pri sprejemanju podatkov. Ukaz WR_TX_BUFFER pošlje podatke v medpomnilnik FIFO0. Sestava ukaznega niza je prikazana na sliki 13.



Slika 13: SPI ukaz WR_TX_BUFFER

Parametri ukaznega niza WR_TX_BUFFER so opisani v tabeli 6. Naj omenim, da vsebuje prvi pisalni parameter WCNT informacijo o tem, koliko podatkovnih bajtov mu sledi oz. koliko podatkov se dejansko pošilja. Ko so podatki shranjeni v medpomnilniku FIFO0, čaka sprejemnik-oddajnik na ukaz TXI (ga pošlje glavni računalnik) za dokončanje pošiljanja podatkov v svet.

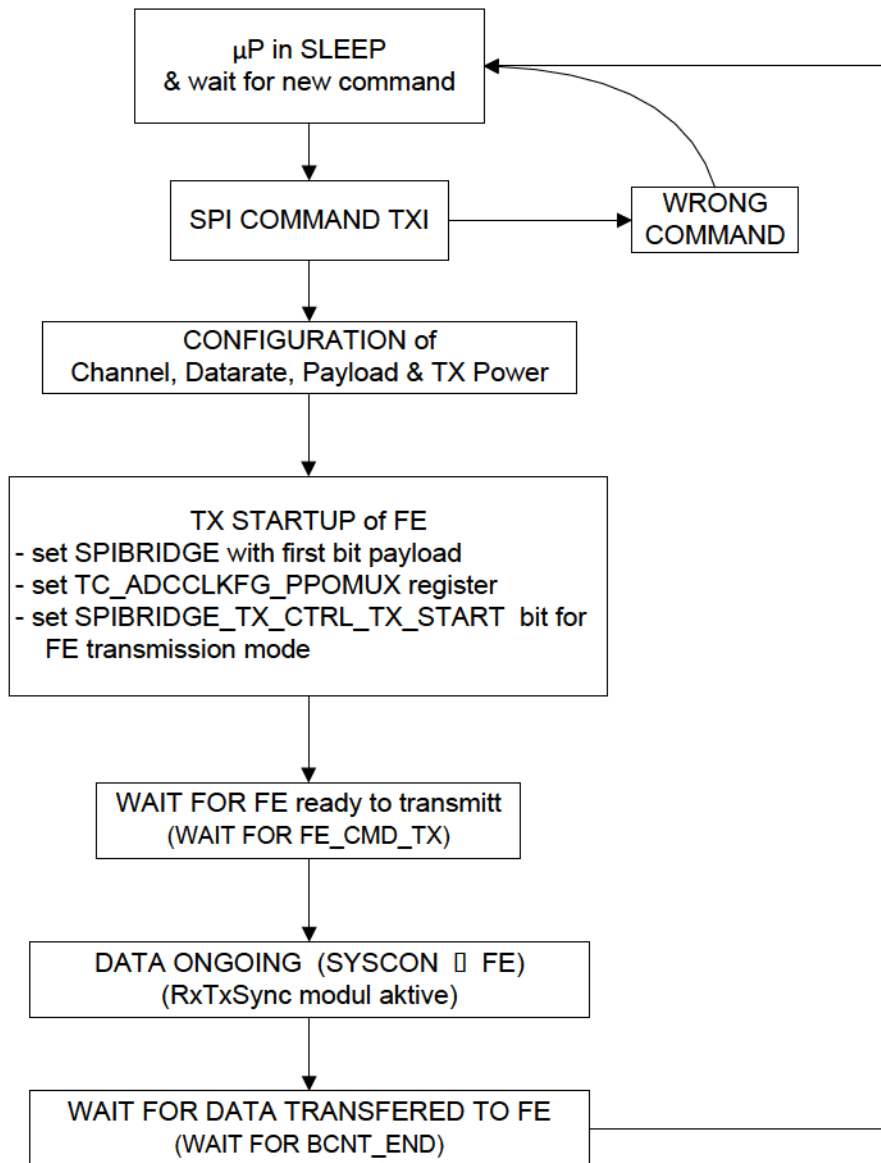
SPI ukaz	WR_TX_BUFFER (slika 13) – pisanje v medpomnilnik TX
Koda ukaza	0x03
Pisalni parameter	-wpar16:WCNT; število pisalnih parametrov; število podatkovnih

	bajtov, ki sledijo; območje: 0 ... 128 -wpar8:DATA; podatkovni bajti v medpomnilniku
Bralni parameter	-
Opis	Pisanje podatkov, ki so namenjeni pošiljanju, v medpomnilnik TX (bajt za bajtom)

Tabela 6: Parametri ukaznega niza WR_TX_BUFFER

4.3.2.2 *TXI (takojšnje pošiljanje)*

V primerjavi z RXI potekom firmware-ja je začetek poteka TXI firmware-ja podoben, vendar je po nekaj korakih popolnoma drugačen. Procesor se prebudi ob pojavu novega ukaza iz stanja Sleep, nato sledi verifikacija ukaznega niza. Ko firmware ugotovi, da gre za ukaz TXI (takojšnje pošiljanje), ugotovi še preostale konfiguracijske parametre skrite v ukaznem nizu. To se zgodi v naslednjem koraku, kjer se izbere kanal, hitrost prenosa in velikost podatkov ter se nastavi moč pošiljanja. Sledi zagon analognega Frontend-a ter firmware čaka, dokler se analogni Frontend ne odzove ter sporoči, da je pripravljen za pošiljanje, to sporoči s prekinitvijo FE_CMD_TX. Sinhronizacija se prične in podatki se začnejo prenašati iz medpomnilnika preko Frontend-a ter se pošljejo preko antene. Prekinitiv BCNT_END sporoči procesorju, da so bili uspešno poslani vsi podatki, in da je pošiljanje uspešno zaključeno. S tem se firmware vrne v začetni položaj oz. v stanje Sleep (spanje), kjer čaka na nov ukaz.



Slika 14: Potek Firmware pri pošiljanju podatkov(TXI ukaz)

Ukazni niz je sestavljen iz različnih parametrov, kot je razvidno na sliki 15.



Slika 15: SPI ukaz TXI

Kot že v ukaznem nizu RXI je tudi tukaj izbira kanala podana le z eno možnostjo, čeprav so na voljo različne možnosti, zavisi od uporabe ter želja stranke oz. projekta. Velikost podatkov za prenos je podana z vrednostjo v bitih in znaša največ 128B. Posebna je konfiguracija hitrosti pošiljanja podatkov, kjer je potrebno DR-vrednost izračunati s pomočjo posebne formule, kot je podrobneje ter z primerom opisano v tabeli 7. Moč pošiljanja je potrebno tudi podati ter konfigurirati.

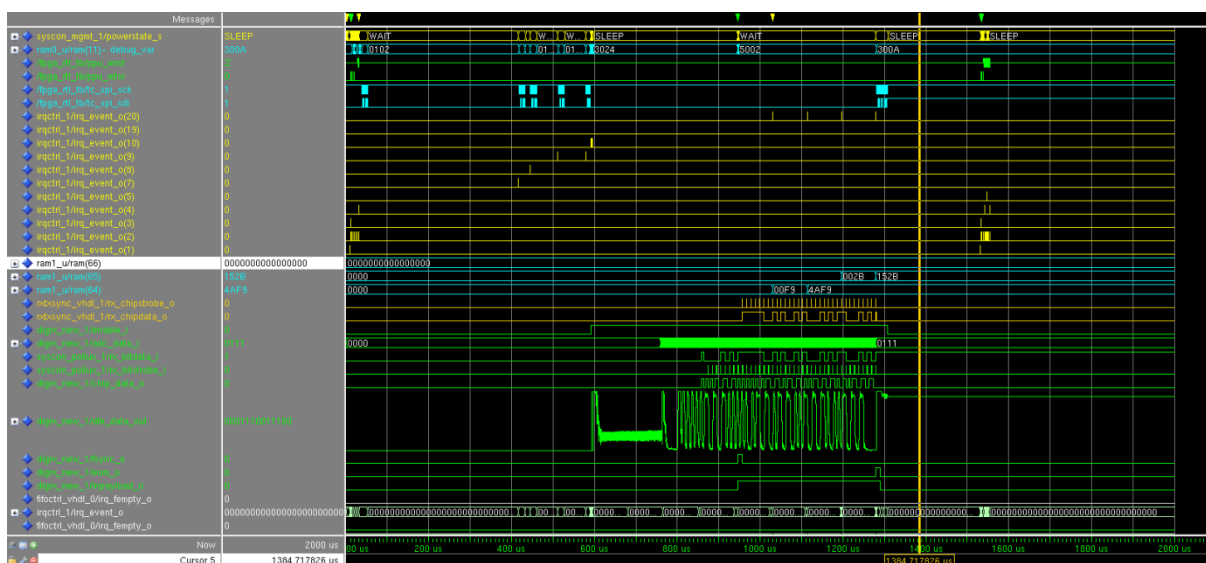
SPI ukaz	TXI (slika 15) – takojšnje pošiljanje
Koda ukaza	0x05
Pisalni parameter	<p>wpar16:CH + wpar16:PL + wpar16:DR + wpar16:PWR</p> <ul style="list-style-type: none"> - wpar16:CH; izbira kanala; CH0 = 0x0000 (433.92 MHz); (trenutno le ta izbira možna) -wpar16:PL; velikost podatkov; (bit-vrednost, maks. velikost= 128 B) območje: 0x0001 0x0400; - wpar16:DR; hitrost prenosa podatkov; parameter hitrosti prenosa podatkov mora biti prej izračunan po formuli: $DR = (50\ 000\ 000 / \text{hitrost prenosa}) - 1$; primer: hitrost prenosa = 100 kbit/s; $DR = (50\ 000\ 000 / 100\ 000) - 1 = 499(\text{dec}) = 0x01f3(\text{hex})$ - wpar16:PWR; moč pošiljanja podatkov (TX Power);
Bralni parameter	-
Opis	<p>Pošiljanje podatkov, ki so shranjeni v TX medpomnilniku, s parametri prenosa:</p> <p>Kanal: definiran s parametrom wpar16:CH</p> <p>Velikost podatkov: definirana s parametrom wpar16:PL</p> <p>Hitrost prenosa: definirana s parametrom wpar16:DR</p> <p>TX Power: moč pošiljanja definirana s parametri wpar16:PWR</p>

Tabela 7: Parametri ukaznega niza TXI

5 REZULTATI

5.1 Testiranje Pollux sprejemnik-oddajnika

Prvo preverjanje razvitega Pollux sprejemnik-oddajnika je bilo opravljeno z računalniško simulacijo v računalniškem orodju QuestaSim. Za ta namen je bila narejena testna struktura (ang. testbench) za simulacijo sprejema ter pošiljanje podatkov. Testna struktura je poslala podatke, ki jih je naš digitalni del sprejemnik-oddajnika lahko sprejel. Na ta način smo lahko preverili pravilno prepoznavanje signala z vključenimi podatki in testirali prenos podatkov. Tudi pošiljanje smo lahko testirali, saj smo z računalniško simulacijo lahko podrobno nadzirali potek posameznih bitov v načinu pošiljanja podatkov. Vtis o različnih signalih v sprejemnik-oddajniku, o poteku firmware in o poteku prenosa podatkov lahko pridobimo s pogledom na sliko 16.

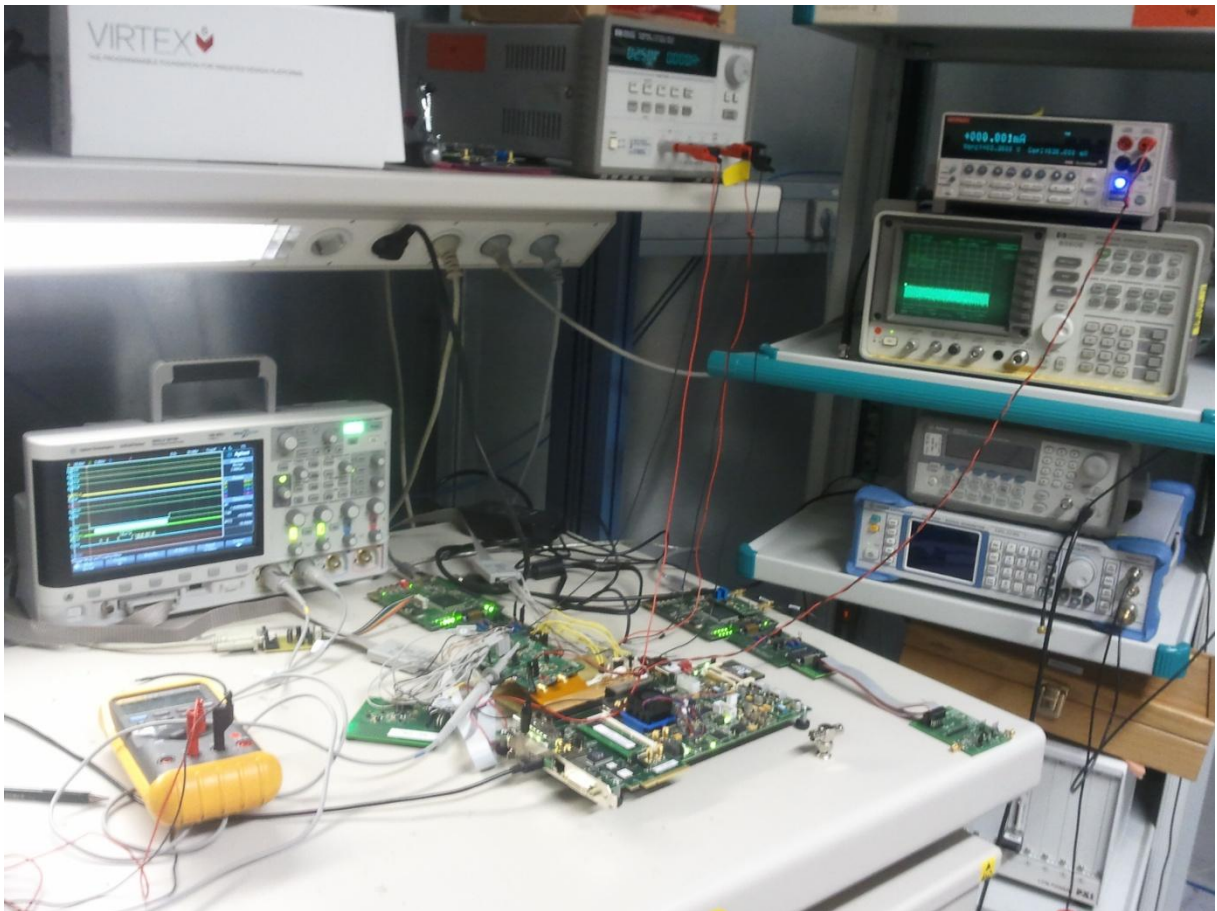


Slika 16: Računalniška simulacija sprejemanja podatkov (RX)

V zgornjem predelu slike 16 je razvidno stanje oz. način delovanja procesorja (SLEEP, WAIT, INIT). Rumeno označeni signali so prekinitve, ki vplivajo na potek firmware. Modro obarvani signali v sredini slike 16 so vrednosti pomnilnika ter medpomnilnikov FIFO0 ter FIFO1. Zeleno

obarvani signali v spodnjem predelu slike 16 nam prikazujejo potek prenosa podatkov, analogne vrednosti signala so podatki, ki so poslani proti sprejemnik-oddajniku, ter jih naj bi le-ta tudi sprejel. Malo višje je potek prenosa podatkov v digitalnem delu sprejemnik-oddajnika ter na vodilu SPI. Če pobliže pogledamo sliko 16, lahko prepoznamo cel potek prenosa podatkov, preko antene, preko digitalnega dela na poti v glavni računalnik.

Ko je bil digitalni del sprejemnik-oddajnika natančno preverjen z računalniško simulacijo QuestaSim ter je cel sistem deloval brez napak, smo pričeli s pripravami na drugi del testiranja sprejemnik-oddajnika. Analogni Frontend v obliki testnega čipa Pollux TC smo ustrezno povezali na razvojno ploščo Virtex-6 FPGA, nakar smo celo digitalno vezje sintetizirali ter ga shranili oz. integrirali v FPGA vezje, firmware pa smo naložili v pomnilnik razvojne plošče Virtex-6. Ko smo le uspeli povezati vse razvite komponente, smo cel sistem transportirali v zaščitno kletko, kjer so bili pripravljene že vse merilne naprave ter pripomočki za testiranje v realnem svetu. Testiranje se je izvajalo v posebej razviti zaščitni kletki, ki omogoča eliminacijo vseh zunanjih šumov, in omogoča kvalitetno testiranje pod realnimi pogoji. Preko posebnega oddajnika so se pošiljali podatki, katere naj bi naš razviti Pollux sprejemnik-oddajnik tudi zaznal ter pravilno v celoti sprejel. Enako smo testirali za pošiljanje podatkov, pri tem je Pollux sprejemnik-oddajnik pošiljal podatke, ki jih je merila zato pripravljena merilna naprava. Na sliki 17 je prikazana fotografija testiranja v zaščitni kletki. V sredini je razvidna Virtex-6 FPGA razvojna plošča ter veliko merilnih naprav, na nekaterih lahko celo vidimo signale s prejetimi oz. poslanimi podatki.



Slika 17: Testiranje (v realnosti) v zaščitni kletki

Sama priprava ter testiranje sprejemnik-oddajnika je bilo za celo ekipo, ki je delala pri razvoju Pollux projekta, nekaj posebnega. S strani izkušenih sodelavcev mi je bilo prej rečeno, da se bodo pojavile najverjetneje kakšne napake, ko pa smo dejansko začeli s testiranjem in pravilno sprejeli cel paket podatkov ter ga tudi pravilno poslali do zadnjega bita informacije, smo bili s sodelavci zelo zadovoljni, saj je bilo naše delo poplačano s tem, da je razvit sprejemnik-oddajnik deloval v celoti brez napak.

5.2 Možnosti nadaljnega razvoja ter zaključek

Zaradi vedno večje uporabe brezžične tehnologije tudi na avtomobilskem področju je razviti Pollux sprejemnik-oddajnik dober odgovor na zahteve, ki prihajajo na nas v prihodnosti. Nova tehnologija sprejemnik-oddajnikov s svojo programabilno krmilno enoto ter z nizko porabo energije ponuja različne možnosti uporabe. Možnost nadaljnega razvoja vidim z vgradnjo Self-polling funkcije, ki jo lahko vgradimo v Pollux sprejemnik-oddajnik za avtomatsko otipavanje razpoložljivih podatkov. Tudi AES modul je ena izmed možnosti nadaljnega razvoja, ki bi omogočila dodatno kodiranje oz. dekodiranje podatkov. Seveda imam še več zamisli glede možnosti nadaljnega razvoja za naslednjo različico Pollux sprejemnik-oddajnika. Ker so ti podatki zaupne narave v okviru podjetja Infineon Technologies AG, bom to poglavje ter moje diplomsko delo s to mislijo tudi zaključil.

Vesel sem, da sem bil del Pollux projekta, saj sem imel priložnost se naučiti ogromno stvari od svojih sodelavcev v podjetju Infineon Technologies. Posebej sem ponosen na svoj prispevek pri projektu Pollux, saj sem popolnoma sam razvil firmware za Pollux sprejemnik-oddajnik, ki je bil uspešno razvit ter pravočasno dokončan.

6 LITERATURA

[AESH02] Nicolas Navet und Françoise Simonot-Lion (2009). Automotive Embedded Systems Handbook. New York: Taylor & Francis Group.

[CTD01] Thomas Beck (2001). Current Trends in the Design of Automotive Electronic Systems. IEEE: Design, Automation and Test in Europe. München.

[ASV03] Alberto Sangiovanni-Vincentelli (2003). Electronic-System Design in the Automobile Industry. IEEE Micro, 3(23), 8-18.

[ART10] <http://www.artemis-pollux.eu>

[WIK11] https://de.wikipedia.org/wiki/Serial_Peripheral_Interface

[WIK12] <https://de.wikipedia.org/wiki/Firmware>

[ECL12] <http://www.eclipse.org>